

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05181817 A

(43) Date of publication of application: 23.07.93

(51) Int. Cl.

G06F 15/16

G06F 13/36

G06F 15/82

(21) Application number: 03098615

(22) Date of filing: 30.04.91

(71) Applicant: HITACHI LTD YOSHIOKA YOSHIO

(72) Inventor: SUZUKI ATSUHIRO
YOSHIOKA YOSHIO

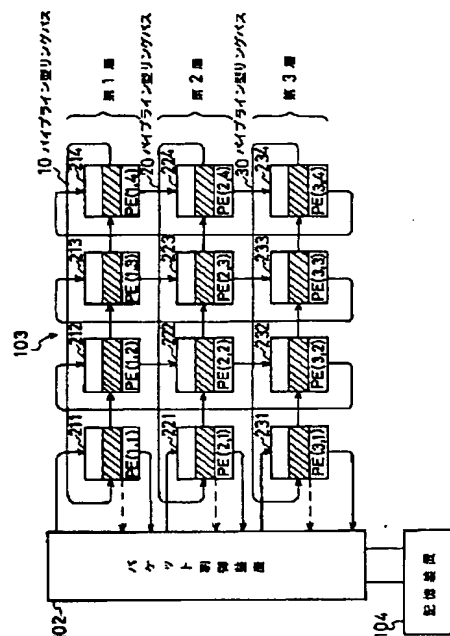
(54) PARALLEL PROCESSOR

(57) Abstract:

PURPOSE: To constitute a parallel processor so that the burden of a packet controller is reduced, the packet controller can allow more data packets to flow to a high speed packet processor and many tasks can be subjected efficiently to multiple processing in parallel by forming a structure in which plural PEs are connected to a pipeline type ring bus as one layer and connecting successively respective layers.

CONSTITUTION: The pipeline type ring bus of one layer in which plural shift registers are connected like a ring is provided with plural layers (10, 20, 30), and also, processing means for fetching and processing a packet flowing on the pipeline type ring bus are provided on respective shift registers of respective layers (211-214, 221-224, 231-234), and moreover on at least one processing means of each layer, a packet control means 102 for transferring the packet is provided, and to the processing means, a means for fetching the output of the processing of the upper layer of the layer for which the means belongs to the pipeline type ring bus of its own layer is imparted.

COPYRIGHT: (C)1993,JPO&Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 1 8 1 8 1 7

(43) 公開日 平成 5 年 (1993) 7 月 23 日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G06F 15/16	390	T 9190-5L		
13/36	530	C 9072-5B		
15/82		9194-5L		

審査請求 未請求 請求項の数 11 (全 17 頁)

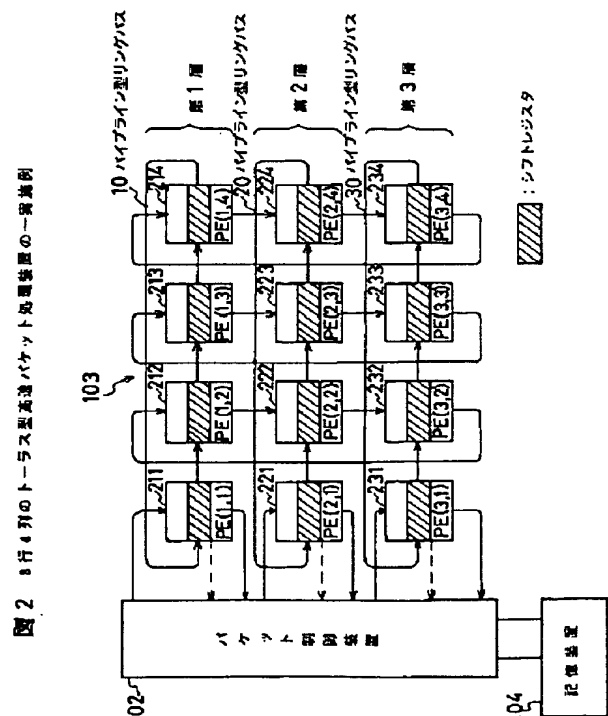
(21) 出願番号	特願平 3 - 9 8 6 1 5	(71) 出願人	0 0 0 0 5 1 0 8 株式会社日立製作所 東京都千代田区神田駿河台四丁目 6 番地
(22) 出願日	平成 3 年 (1991) 4 月 30 日	(71) 出願人	5 9 1 0 8 8 5 8 2 吉岡 良雄 青森県南津軽郡大鰐町大字長峰字駒木沢 4 21 番地 192 号
		(72) 発明者	鈴木 篤浩 神奈川県秦野市堀山下 1 番地 株式会社日立製作所神奈川工場内
		(72) 発明者	吉岡 良雄 青森県南津軽郡大鰐町大字長峰字駒木沢 4 21 番地 192 号
		(74) 代理人	弁理士 富田 和子

(54) 【発明の名称】 並列処理装置

(57) 【要約】

【構成】 複数のシフトレジスタをリング状に接続した 1 層のパイプライン型リングバスを複数層設けるとともに (10, 20, 30)、パイプライン型リングバス上を流れるパケットを取り込んで処理する処理手段を各層の各シフトレジスタに対して設け (211~214, 221~224, 231~234)、さらに、各層の少なくとも一つの処理手段に対してパケットの授受を行なうパケット制御手段 102 を設け、処理手段にその属する層の上の層の処理手段の出力を自層のパイプライン型リングバスに取り込む手段 381, 380, 311 を付与した。

【効果】 パイプライン型リングバスに複数の PE を接続した構造を一つの層とし、各層を順次接続することにより、パケット制御装置を介することなく一つのパイプライン型リングバスから他のパイプライン型リングバスにパケットが流れるため、パケット制御装置の負担が軽減され、その結果、パケット制御装置はより多くのデータ・パケットを高速パケット処理装置に流すことができ、多くのタスクが効率よく並列に多重処理できる。



【特許請求の範囲】

【請求項 1】複数のシフトレジスタをリング状に接続した 1 層のパイプライン型リングバスを複数層設けるとともに、

前記パイプライン型リングバス上を流れるパケットを取り込んで処理する処理手段を各層の各シフトレジスタに対して設け、

さらに、各層の少なくとも一つの処理手段に対してパケットの授受を行なうパケット制御手段を設け、

前記処理手段に、その属する層の上の層の処理手段の出力を自層のパイプライン型リングバスに取り込む機能を付与したことを特徴とする並列処理装置。

【請求項 2】前記パケットは、各処理手段に割当てた機能を指定する機能情報を含むプログラム・パケットと、該プログラム・パケットにより指定された機能に基づき処理されるデータを含むデータ・パケットからなることを特徴とする請求項 1 記載の並列処理装置。

【請求項 3】各処理手段は、前記パイプライン型リングバス上を流れるパケットが自処理手段宛のパケットであるか否かを判定する手段と、該手段の出力に応じてそのパケットを取り込むか否かを切り換える手段とを有することを特徴とする請求項 1 または 2 記載の並列処理装置。

【請求項 4】各処理手段は、前記パイプライン型リングバスからパケットを取り込む際、そのパケットに代えて、上の層の処理手段からのパケットまたは空パケットを当該パイプライン型リングバス上に乗せる手段を有することを特徴とする請求項 3 記載の並列処理装置。

【請求項 5】前記判定する手段は、他の層の処理手段に割当てられたパケットを検知する機能も有し、更に該検知時にそのパケットを下層のパイプライン型リングバスへスルーパスする経路を設けたことを特徴とする請求項 3 記載の並列処理装置。

【請求項 6】各処理手段は、前記パイプライン型リングバス上に流れるパケットが空パケットであるか否かを判定する手段と、該手段の出力に応じて、上の層の処理手段からのパケットを当該パイプライン型リングバス上に乗せるか否かを切り換える手段とを有することを特徴とする請求項 1 または 4 記載の並列処理装置。

【請求項 7】前記パケット制御手段は、第 1 の演算を指定する第 1 のパケットと、該第 1 の演算の結果を利用して行なう第 2 の演算を指定する第 2 のパケットとを別個の処理手段に割当てた際、前記第 1 のパケットを割当てる処理手段の層より下の層の処理手段に前記第 2 のパケットを割当てるマッピング管理機能を有することを特徴とする請求項 1 記載の並列処理装置。

【請求項 8】 m 行 n 列に配置した $m \times n$ 個の処理手段と、

各行ごとに前記処理手段に 1 対 1 に接続された n 個のシフトレジスタをリング状に接続して構成した m 個のバイ

プライン型リングバスと、

第 i 行の処理手段の結果を、第 $i + 1$ 行の処理手段が接続されたパイプライン型リングバスに転送する転送手段と、

各行のパイプライン型リングバスに、被処理パケットを乗せる機能と各行のパイプライン型リングバスから処理済みのパケットを受ける機能とを有するパケット制御手段と、

を備えたことを特徴とする並列処理装置。

【請求項 9】前記転送手段は、第 m 行の処理手段の結果を、第 1 行の処理手段が接続されたパイプライン型リングバスに転送することを特徴とする請求項 8 記載の並列処理装置。

【請求項 10】前記転送手段による転送は、同列の処理手段の間で行なうことを特徴とする請求項 8 または 9 記載の並列処理装置。

【請求項 11】各処理手段は、前記パイプライン型リングバスの一部を構成するシフトレジスタと、該シフトレジスタから取り込んだパケットを格納する第 1 のパケットキューと、上の層の処理手段から前記シフトレジスタに取り込むべきパケットを格納する第 2 のパケットキューとを備えたことを特徴とする請求項 1 または 8 記載の並列処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高速に情報処理を行なうための並列処理装置に係り、特に大量のデータを繰返し処理する科学技術計算に好適なデータフロー型並列処理装置および複数の処理手段間のネットワークに関する。

【0002】

【従来の技術】超並列計算機の複数の処理手段（以降、単位処理要素；PE：Processing Elementと呼ぶ）を接続する方式としてバス型、リングバス型、ハイパーキューブ型、ツリー型、格子型、スター型、網結合型等が知られている。

【0003】リングバス型に関しての改良は、「Loop Structured Computerについて」、情報処理・計算機アーキテクチャ研究会資料、56-1、および、「Loop Structured Computerのトラヒック特性」、電子情報通信学会論文誌'89/3 Vol. J72-D-I No. 3, 第149頁～第156頁、および、「Loop Structured Computerの特性解析」、並列処理シンポジウムJSP'89 第321頁～第328頁で知られている。

【0004】図8は上記論文中に開示されたLoop Structured Computer（以降LSCと呼ぶ）を示している。図8中、710, 720, 730, 740は単位処理要素（PE）、711, 721, 731, 741はシフトレジスタ、750は複数のPE内のシフトレジスタの入出力を順次接続して構成されたパイプライン型リングバス

10

20

30

40

50

である。特に、ホスト計算機との間でバケットの交換を行なう制御部を構成する P E 7 1 0 を C U (Control Unit) と呼ぶ。P E 7 2 0, 7 3 0, 7 4 0 は、記憶装置と直接接続されていないため、P E 7 1 0 とバケットを転送しあって記憶装置へアクセスする。パイプライン型リングバス 7 5 0 上には、空バケット、データバケット、結果バケットが詰まっており、各 P E はパイプライン型リングバス 7 1 0 上を流れる自 P E 宛のデータバケットおよび結果バケットを、空バケットまたは他 P E 宛の結果バケットと交換する。各 P E の処理は、自 P E 宛のデータバケットを処理し、他 P E 宛の結果バケットを作り出すことによって進行して行く。従来の技術による L S C の処理方式には以下に述べる 3 種類がある。

【0005】(1) 最初に各 P E の処理機能を固定してから処理データをパイプライン的に流す方式。

【0006】(2) 処理機能と処理データをともに持つ処理バケットをパイプライン的に流す方式。

【0007】(3) 上記(1), (2) が混在する処理方式。

【0008】パイプライン型リングバスを、C U を介して複数接続する処理形態も前記論文により知られている。

【0009】

【発明が解決しようとする課題】上記従来技術においては、処理性能を向上させようとして一つのパイプライン型リングバスに P E を増やしていくとパイプライン型リングバスの輪が大きくなり、目的の P E にバケットが届くまでの転送時間が長くなるという問題点があった。同様に、処理性能の向上を目的として P E を増やしていくとパイプライン型リングバスを流れるデータバケットや結果バケットのトラヒック量が増して P E 内の結果バケットがパイプライン型リングバスに出力できない事態が生じ、その結果、P E 内に自 P E 宛バケットを取り込むこともできなくなるために、処理がデッドロックするという問題点があった。また、他のパイプライン型リングバスとは独立なパイプライン型リングバスを C U を介して接続していく方式もあるが、C U には、パイプライン型リングバス間をまたぐ P E 間のバケットの振り分け処理に大きな負担がかかるため、パイプライン型リングバス間のバケット転送時間が長くなりシステム性能が著しく低下するという問題点があった。

【0010】本発明の目的は、多重プログラミング環境に対応できる P E 数を確保するために上記パイプライン型リングバスのデータバケットおよび結果バケットのトラヒック量を容易に最適化することが可能であるネットワーク形態と処理方式とを提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するために、本発明による並列処理装置は、複数のシフトレジスタをリング状に接続した 1 層のパイプライン型リングバ

スを複数層設けるとともに、前記パイプライン型リングバス上を流れるバケットを取り込んで処理する処理手段を各層の各シフトレジスタに対して設け、さらに、各層の少なくとも一つの処理手段に対してバケットの授受を行なうバケット制御手段を設け、前記処理手段に、その属する層の上の層の処理手段の出力を自層のパイプライン型リングバスに取り込む機能を付与したものである。

【0012】前記バケットは、例えば、各処理手段に割当てする機能を指定する機能情報を含むプログラム・バケットと、該プログラム・バケットにより指定された機能に基づき処理されるデータを含むデータ・バケットからなる。

【0013】各処理手段は、好ましくは、前記パイプライン型リングバス上を流れるバケットが自処理手段宛のバケットであるか否かを判定する手段と、該手段の出力に応じてそのバケットを取り込むか否かを切り換える手段とを有する。この場合、各処理手段は、前記パイプライン型リングバスからバケットを取り込む際、そのバケットに代えて、上の層の処理手段からのバケットまたは空バケットを当該パイプライン型リングバス上に乗せる手段を有することが望ましい。

【0014】前記判定する手段には他の層の処理手段に割当てられたバケットを検知する機能も付与し、該検知時にそのバケットを下層のパイプライン型リングバスへスルーパスする経路を設けるようにしてもよい。

【0015】各処理手段は、前記パイプライン型リングバス上に流れるバケットが空バケットであるか否かを判定する手段と、該手段の出力に応じて、上の層の処理手段からのバケットを当該パイプライン型リングバス上に乗せるか否かを切り換える手段とを有してもよい。

【0016】前記バケット制御手段は、好ましくは、第 1 の演算を指定する第 1 のバケットと、該第 1 の演算の結果を利用して行なう第 2 の演算を指定する第 2 のバケットとを別個の処理手段に割当てする際、前記第 1 のバケットを割当てする処理手段の層より下の層の処理手段に前記第 2 のバケットを割当てするマッピング管理機能を有する。

【0017】本発明のその他の構成、および作用効果は以下の記載により明らかとなる。

【0018】

【作用】本発明は、それぞれ複数の処理手段からなる複数の層を有し、バケット制御手段が各層の少なくとも一つの処理手段にバケットを流すことが可能であり、また、処理手段は上下のパイプライン型リングバスに接続していることからパイプライン型リングバス間のバケット転送に処理手段を利用可能となるため、各層のパイプライン型リングバスのデータバケットや結果バケットのトラヒック量を最適な状態とすることができる。

【0019】

【実施例】以下、本発明の実施例について詳細に説明す

10

20

30

40

50

る。

【 0 0 2 0 】 ます、図 1 に、本発明による並列処理装置の全体構成の一例を示す。図 1 中、1 0 1 はホスト計算機、1 0 2 はパケット制御装置、1 0 3 は高速パケット処理装置、1 0 4 は記憶装置である。ホスト計算機 1 0 1 とパケット制御装置 1 0 2 とは、記憶装置 1 0 4 を共有している。ホスト計算機 1 0 1 とパケット制御装置 1 0 2 との間には、ホスト計算機 1 0 1 がパケット制御装置 1 0 2 に起動を指示する信号と、パケット制御装置 1 0 2 がホスト計算機 1 0 1 に処理を終了したことを知らせる信号とが授受されている。高速パケット処理装置 1 0 3 は、複数のデータバスとパケット出力要求信号とでパケット制御装置 1 0 2 に接続されている。ホスト計算機 1 0 1 とパケット制御装置 1 0 2 との間のデータ転送、およびパケット制御装置 1 0 2 と高速パケット処理装置 1 0 3 との間のデータ転送は、全てパケットにより行われる。図 1 のパケット制御装置 1 0 2 と高速パケット処理装置 1 0 3 の第 1 列の P E (後述) とが従来の C U に相当する。パケットの形式には C U 用、P E 用にそれぞれ二つあり、一つは高級言語等で記述されたプログラムをホスト計算機 1 0 1 内でコンパイルし記憶装置 1 0 4 に格納した C U プログラム・パケットおよび C U データ・パケット形式、そして、もう一つは記憶装置 1 0 4 に格納してある C U プログラム・パケットおよび C U データ・パケットをパケット制御装置 1 0 2 が高速パケット処理装置 1 0 3 に流すために変換した P E プログラム・パケットおよび P E データ・パケット形式である。後者のパケット形式の構成については後に詳述する。以下、処理の流れの概略を説明する。

【 0 0 2 1 】 ホスト計算機 1 0 1 は、パケット制御装置 1 0 2 に対してパケット処理実行を指示する。この指示に応じて、パケット制御装置 1 0 2 は記憶装置 1 0 4 に格納してある C U プログラム・パケットを読みだし高速パケット処理装置 1 0 3 に流すための P E プログラム・パケットに変換した後、該 P E プログラム・パケットを高速パケット処理装置 1 0 3 にパイプライン的に流し始める。高速パケット処理装置 1 0 3 内部では、P E プログラム・パケットの内容に従いマッピングが行なわれる。ここで、マッピングとは、演算機能を指定する各プログラム・パケットを特定の P E に割当てて処理を行う。プログラムパケットを受け取った P E は割当て完了報告を当該プログラムパケットに付加してパケット制御装置 1 0 2 へ返送する。パケット制御装置 1 0 2 は、割当て完了報告をカウントして全てのマッピングが終了したことを認識する。その時点で、パケット制御装置 1 0 2 は、記憶装置 1 0 4 に格納されている C U データ・パケットを読みだして高速パケット処理装置 1 0 3 に流す P E データ・パケットに変換し、該 P E データ・パケットを高速パケット処理装置 1 0 3 にパイプライン的に流す。全てのデータ・パケットの処理が終了した時点で、

パケット制御装置 1 0 2 はホスト計算機 1 0 1 に対して終了報告を行い、同時に高速パケット処理装置 1 0 3 の当該プログラムのマッピングの解除を行うためにプログラム消去パケットを流し、当該プログラムの処理が終了する。以上が本装置の処理の大まかな流れである。

【 0 0 2 2 】 次に、高速パケット処理装置 1 0 3 内部の動作を説明する。図 2 は、3 行 4 列の高速パケット処理装置 (トーラス型高速パケット処理装置という) 1 0 3 の構成の一例を、パケット制御装置 1 0 2 および記憶装置 1 0 4 とともに示している。2 1 1, 2 1 2, 2 1 3, 2 1 4, 2 2 1, 2 2 2, 2 2 3, 2 2 4, 2 3 1, 2 3 2, 2 3 3, 2 3 4 は、それぞれ P E である。図 2 中、それぞれパイプライン型リングバス 1 0, 2 0, 3 0 で接続している一つの行を層と呼び、P E (1, 1), P E (1, 2), P E (1, 3), P E (1, 4) を第 1 層、P E (2, 1), P E (2, 2), P E (2, 3), P E (2, 4) を第 2 層、P E (3, 1), P E (3, 2), P E (3, 3), P E (3, 4) を第 3 層と呼ぶ。各層の第 1 列の P E (1, 1), P E (2, 1), P E (3, 1) は、それぞれパケット制御装置 1 0 2 と接続されている。さらにこれらの P E は、パケット制御装置 1 0 2 に対するパケットとり込み要求信号を送出する機能を有する。P E (1, 1), P E (2, 1), P E (3, 1) を除く全ての P E は、上層のパイプライン型リングバスからパケットを取り込み、パケットを処理し、下層のパイプライン型リングバスへ処理済みのパケットを送り出すこと、および、上層のパイプライン型リングバスからパケットを取り込み、下層のパイプライン型リングバスへパケットをスルーすることが可能である。P E (1, 1), P E (2, 1), P E (3, 1) の上下の接続バスはパケット制御装置 1 0 2 に接続されており、当該接続バスを通してパケット制御装置 1 0 2 とのパケットの交換が行われる。

【 0 0 2 3 】 尚、m 行 n 列のトーラス型高速パケット処理装置にも拡張することができる。また、第 3 層から第 1 層への接続バスを除去した非トーラス型の実施例も考えられる。この場合、第 3 層から第 1 層へのパケットの転送はパケット制御装置 1 0 2 を介して行なうことになる。

【 0 0 2 4 】 図 3 に、P E の一構成例を示す。図 3 中、3 0 1, 3 0 2, 3 0 3 はシフトレジスタを構成するラッチ、3 1 0 は空パケット判定回路、3 2 0 は処理パケット判定回路、3 1 1, 3 2 1, 3 2 2 は選択回路、3 2 3 はスルーバス、3 3 0 は空パケット生成器、3 4 0 は処理待ちパケットキュー、3 4 1 は演算入力ラッチ A、3 4 2 は演算入力ラッチ B、3 5 0 は機能決定情報レジスタ、3 6 0 は演算・処理部、3 7 0 はデータ・パケット生成回路、3 8 0 は出力待ちパケットキュー、3 7 2 はパケット送出要求信号である。パケット送出要求

信号 3 7 2 は、図 2 の第 1 列の P E 2 1 1、2 2 1、2 3 1 にのみ必要とされる信号であるが、各 P E を同一構成とするためにはすべての P E に設けておいてよい。また、3 0 0 はラッチ 3 0 1 へつながるパイプライン型リングバス入力端子、3 0 4 はラッチ 3 0 3 の出力を受けるパイプライン型リングバス出力端子である。隣接する P E 間で、相互にパイプライン型リングバス入力端子 3 0 0 とパイプライン型リングバス出力端子 3 0 4 とを接続することにより、パイプライン型リングバスが構成される。3 7 1 は P E データ・パケット出力端子、3 8 1 は P E プログラム／データ・パケット入力端子である。図 2 で上下に隣接する P E 間で、相互に P E データ・パケット出力端子 3 7 1 と P E プログラム／データ・パケット入力端子 3 8 1 とをカスケード接続することにより、同列の P E がリング状に接続される。つまり、P E 内部のパイプライン型リングバスから取り出した（パケット交換した）データ・パケットが、その P E 内の処理待ちパケットキュー 3 4 0 から演算・処理部 3 6 0 に渡り、演算結果はデータ・パケット生成回路 3 7 0 でデータ・パケットとなり、P E データ・パケット出力端子 3 7 1 から隣接する下層の P E の出力待ちパケットキュー 3 8 0 にキューイングされ、下層のパイプライン型リングバスへと転送（パケット交換）されるようになっている。なお、一つの P E 内の出力待ちパケットキュー 3 8 0 を同一 P E 内のデータ・パケット生成回路 3 7 0 の後段に設けてもよいが、図 3 のようにパイプライン型リングバスを P E 内部に取り込んだ構造とすることにより、出力待ちパケットキュー 3 8 0 とパイプライン型リングバスとの間の物理的距離、および処理待ちパケットキュー 3 4 0 とパイプライン型リングバスとの間の物理的距離を短くし、パイプライン型リングバスの高速化を図ることができる。

【 0 0 2 5 】図 4 および図 5 は P E プログラム／データ・パケット形式の一実施例を示している。4 0 0、4 2 0 はタスク番号（T N）、4 0 1、4 2 1 はパケット番号（P N）である。4 0 2、4 2 2 は、そのパケットが割当てられる P E を指定する処理先 P E アドレス（L N P E）である。4 0 3 は、プログラム・パケットの機能を示す演算コード（F C）、4 0 4 は発火条件（E C）、4 0 5 は出力データ型（D T）、4 2 4 は後述する R T データの型（D T）、4 0 6 は演算結果を出力する個数（O C）、4 0 7、4 0 8、4 0 9、4 1 0 は出力先 P E アドレス（L N P E）である。また、4 2 3 はコンディションコード（C C）、4 2 5 は C U がデータ管理するためのデータのシリアル番号（D N）、4 2 6 は演算データおよび結果データ（R T）を示している。出力先 P E アドレス 4 0 7、4 0 8、4 0 9、4 1 0 には、演算器の複数の入力ポートのいずれ（A 側または B 側）へ出力されるかを示す情報も含まれている。発火条件 4 0 4 の左のビットが ' 1 ' のとき演算入力 A が揃

い、右のビットが ' 1 ' のとき演算入力 B が揃っていることを意味する。演算コード 4 0 3 が ' D A T A ' かつ発火条件 4 0 4 が ' 1 0 ' の時、4 0 7 フィールドおよび 4 0 8 フィールドが演算入力 A の定数として、また、演算コード 4 0 3 が ' D A T A ' かつ発火条件 4 0 4 が ' 0 1 ' の時、4 0 9 フィールドおよび 4 1 0 フィールドが演算入力 B の定数となる。空パケットはタスク番号 4 0 0、4 2 0 が ' 0 ' であるときであり、また、プログラム消去パケットは P E データ・パケットのタスク番号 4 2 0 が ' 0 ' 以外であり、かつパケット番号 4 2 1 が ' 0 ' であるときである。コンディションコード 4 2 3 が ' 0 ' 以外の場合、その P E データ・パケットの演算入力データ 4 2 6 に演算エラーがあることを示している。出力データ型 4 0 6 は、出力データが実数であるか整数であるかを、それぞれ ' F '、' I ' で示す。

【 0 0 2 6 】図 6 は、P E の動作を説明するためのプログラムの一例である。同図（a）は高級言語 F O R T R A N で記述した 1 次元配列の乗算と加算を行うプログラム、同図（b）は同図（a）のプログラムをホスト計算機がコンパイルして得られた C U パケットに対してさらにパケット制御装置 1 0 2 が変換処理を行なって得られた P E プログラム・パケットを示している。同図（c）は同図（a）の P E プログラム・パケットに対応する P E データ・パケットを示している。

【 0 0 2 7 】図 6（b）において、P E プログラム・パケット 5 0 1 は、タスク番号が ' 1 ' でパケット番号が ' 1 '、演算コードが乗算 ' * '（この場合、A（i）* B（i））であり、演算結果を実数として P E アドレス ' 2 3 ' の演算器入力 A 側に出力するパケットを表し、P E アドレス ' 1 2 ' にマッピングされることを示している。パケット 5 0 2 は、タスク番号が ' 1 ' でパケット番号が ' 2 '、演算コードが乗算 ' * '（この場合、パケット 5 0 1 の計算結果 * S）であり、演算結果を実数として P E アドレス 3 4 の演算器入力 A 側に出力するパケットを表し、P E アドレス ' 2 3 ' にマッピングされることを示している。パケット 5 0 3 は、タスク番号が ' 1 ' でパケット番号が ' 3 ' であり、P E アドレス ' 2 3 ' の演算器の A 側に格納する定数 S を P E アドレス 2 3 にマッピングすること表している。パケット 5 0 4 は、タスク番号が ' 1 ' でパケット番号が ' 4 '、演算コードが加算 ' + '（この場合、パケット 5 0 2 の計算結果 + C（i））であり、演算結果を実数として P E アドレス 1 1 の演算器入力 A 側に出力するパケットを表し、P E アドレス ' 3 4 ' にマッピングされることを示している。パケット 5 0 5 は、タスク番号が ' 1 '、パケット番号が ' 5 ' で、演算器の B 側入力にパケット 5 0 4 の演算結果が送られて来たとき、それをパケット制御装置 1 0 2 に転送するパケットを表し、P E アドレス 1 1 にマッピングされることを示している。

【 0 0 2 8 】図 6（c）において、パケット 5 1 0 は、

タスク番号が '1'、バケット番号が '6'、転送先 P E アドレスが '12' の A 側であり、P E 内演算器入力 A 側の R T データの型が実数であることを表している。バケット 5 1 1 は、タスク番号が '1' でバケット番号が '7'、転送先 P E アドレスが '12' の B 側であり、P E 内演算器入力 B 側の R T データの型が実数であることを表している。バケット 5 1 2 は、タスク番号が '1' でバケット番号が '8'、転送先 P E アドレスが '34' の B 側であり、P E 内演算器入力 B 側の R T データの型が実数であることを表している。5 1 0、5 1 1、5 1 2 の形式の P E データ・バケットが、A (1)、B (1)、C (1) から A (100)、B (100)、C (100) まで、バケット制御装置 102 により生成される。最後に、プログラム消去バケット 5 1 3 が生成される。

【0029】図 7 は、図 6 (b) に示した P E プログラム・バケット群を高速バケット処理装置 103 にマッピングした状態を示している。すなわち、P E プログラム・バケット 5 0 1、5 0 2、5 0 3、5 0 4、5 0 5 は、それぞれ P E アドレス '12'、'23'、'23'、'34'、'11' に割当てられている。バケット制御装置 102 は、各バケットを、通常その割当て先の P E の属する層の第 1 列の P E を介してパイプライン型リングバスに流すが、当該層の第 1 列の P E の出力待ちバケットキュー 380 が込み合っている等の場合、他の層から流すことも可能である。バケット処理装置 102 から流される P E データバケットは主に実線上を流れる。また、P E 内処理待ちバケットキュー 340 が満杯で取り込まれなかったバケットは点線で示されるパイプライン型リングバスを P E 内処理待ちキューが空くまで回り続ける。

【0030】図 3 の P E の構成、図 4 の P E プログラム・バケット形式、および図 9 のフローチャートを参照し、具体的なマッピングの動作について説明する。

【0031】(1) まず、バケット制御装置 102 は記憶装置 104 から C U プログラム・バケットを読みだし、これを P E プログラム・バケットに変換した後 (S 1)、処理先 P E アドレス 402 に従い、バケット制御装置 102 と接続されている P E の一つへその P E プログラム・バケットを転送する (S 2)。

【0032】(2) この P E プログラム・バケットは、当該 P E の出力待ちバケットキュー 380 に格納される。

【0033】(3) 空バケット判定回路 310 は、パイプライン型リングバスを常に監視しており (S 3)、タスク番号が '0'、つまり空バケットであることを検知した場合、セレクト 311 をパイプライン型リングバスの流れから出力待ちバケットキュー 380 の出力へ切り替え (S 15)、出力待ちバケットキュー 380 に格納してある P E プログラム・バケットをパイプライン型

リングバスに乗せる。出力待ちバケットキュー 380 が空の場合 (S 14)、セレクト 311 の切り替えは起こらない。

【0034】(4) 処理バケット判定回路 320 は、パイプライン型リングバスを常に監視しており (S 4)、P E アドレスが機能決定情報レジスタ 350 に格納されている P E アドレスと等しい場合、セレクト 321 をパイプライン型リングバスの流れから処理待ちバケットキュー 340 の方へ、また、セレクト 322 をパイプライン型リングバスの流れから空バケット生成器 330 の方へ同時に切り替え (S 8)、処理待ちバケットキュー 340 に当該 P E プログラム・バケットを格納すると同時に、パイプライン型リングバスに空バケットに乗せる。なお、機能決定情報レジスタ 350 の P E アドレスフィールドには、その P E の P E アドレスをシステム立ち上げ時等に格納し、あるいは固定的に設定しておく。空バケットをパイプライン型リングバスに乗せる際、出力待ちバケットキュー 380 にバケットがあれば (S 9)、セレクト 311 をパイプライン型リングバスの流れから出力待ちバケットキュー 380 の方に切り替え (S 12)、空バケットの代わりに当該バケットキュー 380 内のバケットをパイプライン型リングバスに乗せる。処理バケット判定回路 320 は、パイプライン型リングバス上を流れるバケット (ラッチ 301 にラッチされたもの) の割当て先 P E の層が自層と異なるか否かも判定する (S 5)。異なると判定された場合には、セレクト 321 を自層のパイプライン型リングバスの流れからスルーバス 323 の方へ切り替え (S 7)、下層の出力待ちバケットキュー 380 を介して下層のパイプライン型リングバスへ当該バケットを流し込む。

【0035】(5) 上記処理 (4) で処理待ちバケットキュー 340 に格納した P E プログラム・バケットの演算コード 403 が 'DATA' 以外ならば (S 10)、その P E プログラム・バケットを機能決定情報レジスタ 350 に格納する (S 11)。演算コード 403 が 'DATA' であれば、この P E プログラム・バケットの発火条件 404 に従い、定数を演算入力ラッチ A 341 または演算入力ラッチ B 342 に格納する (S 13)。

【0036】(6) バケット制御装置 102 の制御下で、C U プログラム・バケットがなくなるまで (S 6)、上記 (1) ~ (5) の処理が並列に繰返され、全てのプログラム・バケットが各層の各 P E に割り当てられる。

【0037】以上がマッピング動作である。次に、図 3 の P E の構成、図 4 の P E プログラム・バケット形式、および図 10 のフローチャートを参照し、具体的なマッピングの動作について説明する。

【0038】(1) バケット制御装置 102 は、記憶装置 104 から C U データ・バケットを読みだし、これを P E データ・バケットに変換した後 (S 21)、処理先

P E アドレス 4 2 2 に従い、バケット制御装置 1 0 2 と接続している P E の一つへその P E データ・バケットを転送する (S 2 2) 。

【 0 0 3 9 】 (2) この P E データ・バケットは当該 P E の出力待ちバケットキュー 3 8 0 に格納される。

【 0 0 4 0 】 (3) 空バケット判定回路 3 1 0 は、パイプライン型リングバスを常に監視しており (S 2 3) 、タスク番号が ' 0 ' 、つまり空バケットであることを検知した場合、セレクト 3 1 1 をパイプライン型リングバスの流れから出力待ちバケットキュー 3 8 0 の出力へ切り替え (S 3 9) 、出力待ちバケットキュー 3 8 0 に格納してある P E データ・バケットをパイプライン型リングバスに乗せる。出力待ちバケットキュー 3 8 0 が空の場合 (S 3 8) 、セレクト 3 1 1 の切り替えは起こらない。

【 0 0 4 1 】 (4) 処理バケット判定回路 3 2 0 はパイプライン型リングバスを常に監視しており (S 2 4) 、 P E アドレスが機能決定情報レジスタ 3 5 0 に格納されている P E アドレスと等しい場合、セレクト 3 2 1 をパイプライン型リングバスの流れから処理待ちバケットキュー 3 4 0 の方へ、また、セレクト 3 2 2 をパイプライン型リングバスの流れから空バケット生成器 3 3 0 の方へ同時に切り替え (S 2 5) 、処理待ちバケットキュー 3 4 0 にその P E プログラム・バケットを格納すると同時に、パイプライン型リングバスに空バケットを乗せる。この時、出力待ちバケットキュー 3 8 0 にバケットがあれば (S 2 6) 、セレクト 3 1 1 をパイプライン型リングバスの流れから出力待ちバケットキュー 3 8 0 の方に切り替え (S 3 5) 、当該バケットキュー 3 8 0 内のバケットをパイプライン型リングバスに乗せる。処理バケット判定回路 3 2 0 は、割当て先 P E の属する層が自層と異なる場合には (S 3 6) 、セレクト 3 2 1 を自層のパイプライン型リングバスの流れからスルーバス 3 2 3 の方へ切り替え (S 3 7) 、下層の出力待ちバケットキュー 3 8 0 を介して下層のパイプライン型リングバスへそのバケットを流し込む。

【 0 0 4 2 】 (5) 上記処理 (4) で処理待ちバケットキュー 3 4 0 に格納した P E データ・バケットのバケット番号 4 2 1 が ' 0 ' のとき (S 2 7) 、機能決定情報レジスタ 3 5 0 を初期状態にする (S 3 4) 。 P E データ・バケットのコンディション・コード 4 2 3 が ' 0 ' であれば (S 2 9) 、演算・処理部 3 6 0 の、 P E アドレス 4 2 2 で指定された演算入力側に R T データ 4 2 6 を流しこむ。コンディション・コード 4 2 3 が ' 0 ' 以外、つまり前の処理で演算エラーがあったときには、そのコンディション・コード 4 2 3 に定められた例外処理を行う (S 3 3) 。なお、機能決定情報レジスタ 3 5 0 内の発火条件の ' 0 ' ビットは、演算データが所定の入力側に取り込まれたとき ' 1 ' へ変えられる。

【 0 0 4 3 】 (6) 機能決定情報レジスタ 3 5 0 内の発

火条件が ' 1 1 ' となった場合 (S 2 8) 、つまり、演算データが揃った場合、その P E データ・バケットは演算・処理部 3 6 0 で処理され (S 3 0) 、演算結果をデータ・バケット生成回路 3 7 0 に送出して、 P E データ・バケットを生成する (S 3 1) 。

【 0 0 4 4 】 (7) データ・バケット生成回路 3 7 0 は、機能決定情報レジスタ 3 5 0 の演算結果を出力する個数 4 0 6 と、出力先 P E アドレス 4 0 7 、 4 0 8 、 4 0 9 、 4 1 0 とに従い、出力する個数分の P E データ・バケットを生成する。これらの P E データ・バケットは下層の P E の出力待ちバケットキュー 3 8 0 に格納される。

【 0 0 4 5 】 (8) 上記 (3) ~ (7) の動作が全 P E で並列におこなわれる。但し、機能決定情報レジスタ 3 5 0 の演算コード 4 0 3 が O U T 機能である P E では、機能決定情報レジスタ 3 5 0 内の発火条件が ' 1 1 ' の場合、データ・バケット生成回路 3 7 0 はバケット制御装置 1 0 2 に対してバケット送出要求 3 7 2 を送出すると共に該データ・バケット生成回路 3 7 0 が生成した P E データ・バケットをバケット制御装置 1 0 2 に流し込む。そして、バケット制御装置 1 0 2 は記憶装置 1 0 4 に当該結果を格納する。

【 0 0 4 6 】 (9) バケット制御装置 1 0 2 の制御下で、 C U データ・バケットがなくなるまで (S 3 2) 、上記 (1) ~ (8) までの処理が並列に繰返され、バケット制御装置 1 0 2 は、全ての処理済みデータ・バケットを受け取った時点でプログラム消去バケット 5 1 3 を流し、当該プログラムで使用していた P E を他のタスクのために開放する。

【 0 0 4 7 】

【発明の効果】本発明によれば、パイプライン型リングバスに複数の P E を接続した構造を一つの層とし、 P E を介して層間接続を行なうことにより、バケット制御装置を介することなく一つのパイプライン型リングバスから他のパイプライン型リングバスにバケットが流れるため、バケット制御装置の負担が軽減され、その結果、バケット制御装置はより多くのデータ・バケットを高速バケット処理装置に流すことができ、多くのタスクが効率よく並列に多重処理できる。

【 0 0 4 8 】 さらに、データ・バケットは P E の上層のパイプライン型リングバスから入り、 P E 内演算器で処理され、 P E の下層のパイプライン型リングバスへと流れていくため、 P E 内の結果バケットがパイプライン型リングバスに出力できずにデッドロックするおそれも軽減される。

【 0 0 4 9 】 層間のスルーバスを設けることにより、層違いのバケットを迅速に目的の層へ転送することができる。勿論、各層の P E と C U が接続することで、連続した層の P E を割り当てられない場合でも、 C U を介して目的の層にデータを流し込むことができ、バケット制御

装置（および P E）の利用効率を高めることが容易である。

【0050】また、パイプライン型リングバスの一部を構成するレジスタを P E に内蔵させることにより、パイプライン型リングバスと出力待ちバケットキューとの間、および、パイプライン型リングバスと処理待ちバケットキューとの間、の物理的距離が短くなるために、パイプライン型リングバス的高速化を図ることができる。

【図面の簡単な説明】

【図 1】本発明の一構成例を示すブロック図。

【図 2】本発明による 3 行 4 列のトラス型高速バケット処理装置の一実施例の構成を示すブロック図。

【図 3】図 2 の単位処理要素（P E）の一構成例を示すブロック図。

【図 4】実施例の装置に使用される P E プログラム・バケット形式の一例の説明図。

【図 5】実施例の装置に使用される P E データ・バケット形式の一例の説明図。

【図 6】実施例の P E 動作を説明するためのプログラム例の説明図。

【図 7】実施例におけるプログラム・マッピング例の説明図。

【図 8】従来の高速バケット処理装置の構成のブロック図。

【図 9】実施例におけるプログラム・マッピングのフローチャート。

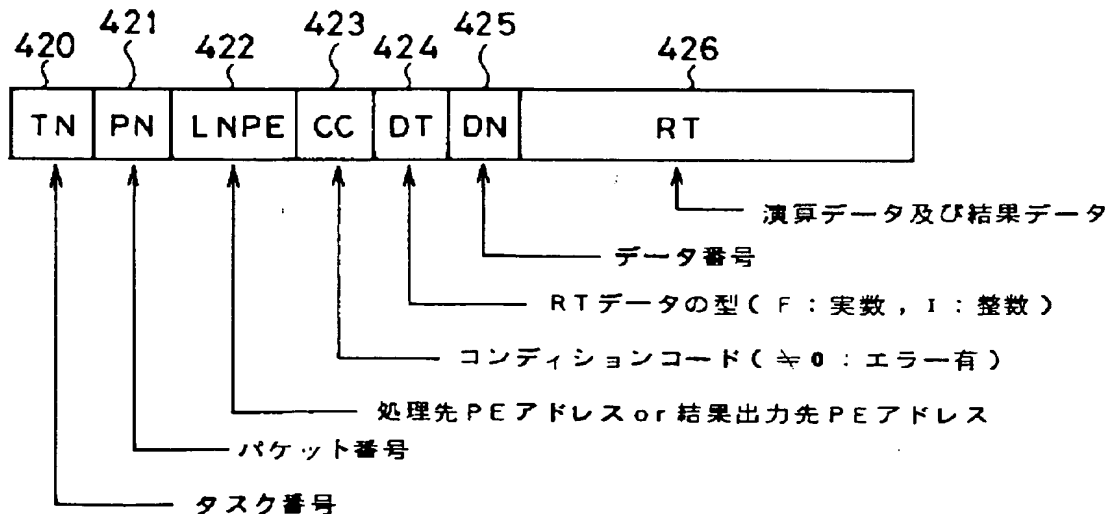
【図 10】実施例における演算処理のフローチャート。

【符号の説明】

1 0 1 … ホスト計算機、1 0 2 … バケット制御装置、1 0 3 … 高速バケット処理装置、1 0 4 … 記憶装置、2 1 1, 2 1 2, 2 1 3, 2 1 4, 2 2 1, 2 2 2, 2 2 3, 2 2 4, 2 3 1, 2 3 2, 2 3 3, 2 3 4 … 単位処理要素、3 0 0 … パイプライン型リングバス入力端子、3 0 1, 3 0 2, 3 0 3 … ラッチ、3 0 4 … パイプライン型リングバス出力端子、3 1 0 … 空バケット判定回路、3 1 1, 3 2 1, 3 2 2 … セレクタ、3 2 0 … 処理バケット判定回路、3 2 3 … スルーバス、3 3 0 … 空バケット生成器、3 4 0 … 処理待ちバケットキュー、3 4 1 … 演算入力ラッチ A、3 4 2 … 演算入力ラッチ B、3 5 0 … 機能決定情報レジスタ、3 6 0 … 演算・処理部、3 7 0 … データ・バケット生成回路、3 7 1 … P E データ・バケット出力端子、3 7 2 … バケット送出要求、3 8 0 … 出力待ちバケットキュー、3 8 1 … P E プログラム／データ・バケット入力端子、4 0 0, 4 2 0 … タスク番号、4 0 1, 4 2 1 … バケット番号、4 0 2, 4 2 2 … 処理先 P E アドレス、4 0 3 … 演算コード、4 0 4 … 発火条件、4 0 5 … 出力データ型、4 0 6 … 出力個数、4 0 7, 4 0 8, 4 0 9, 4 1 0 … 出力先 P E アドレスおよび演算器入力ポート指定、4 2 3 … コンディション・コード、4 2 4 … R T データ型、4 2 5 … データ番号、4 2 6 … 演算データおよび結果データ、5 0 1, 5 0 2, 5 0 3, 5 0 4, 5 0 5 … P E プログラム・バケット、5 1 0, 5 1 1, 5 1 2 … P E データ・バケット、5 1 3 … プログラム消去バケット、7 1 0 … 制御部、7 2 0, 7 3 0, 7 4 0 … 処理要素、7 1 1, 7 1 2, 7 1 3, 7 1 4 … シフトレジスタ。

【図 5】

図 5 P E データバケット形式の一例



【図 1】

図 1 本発明の一構成

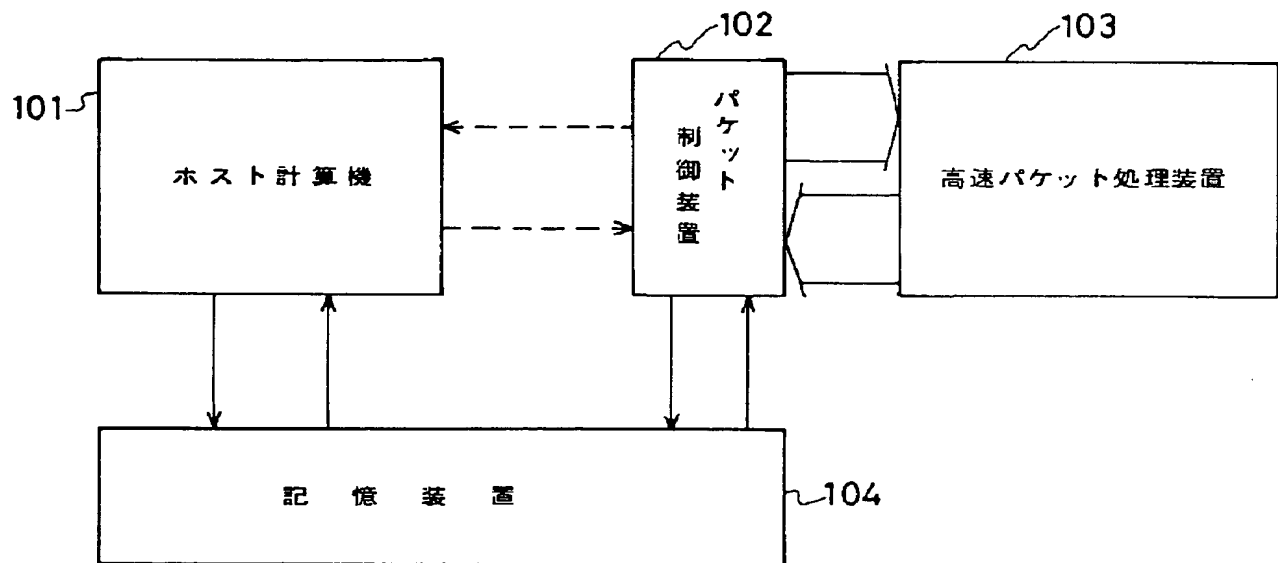
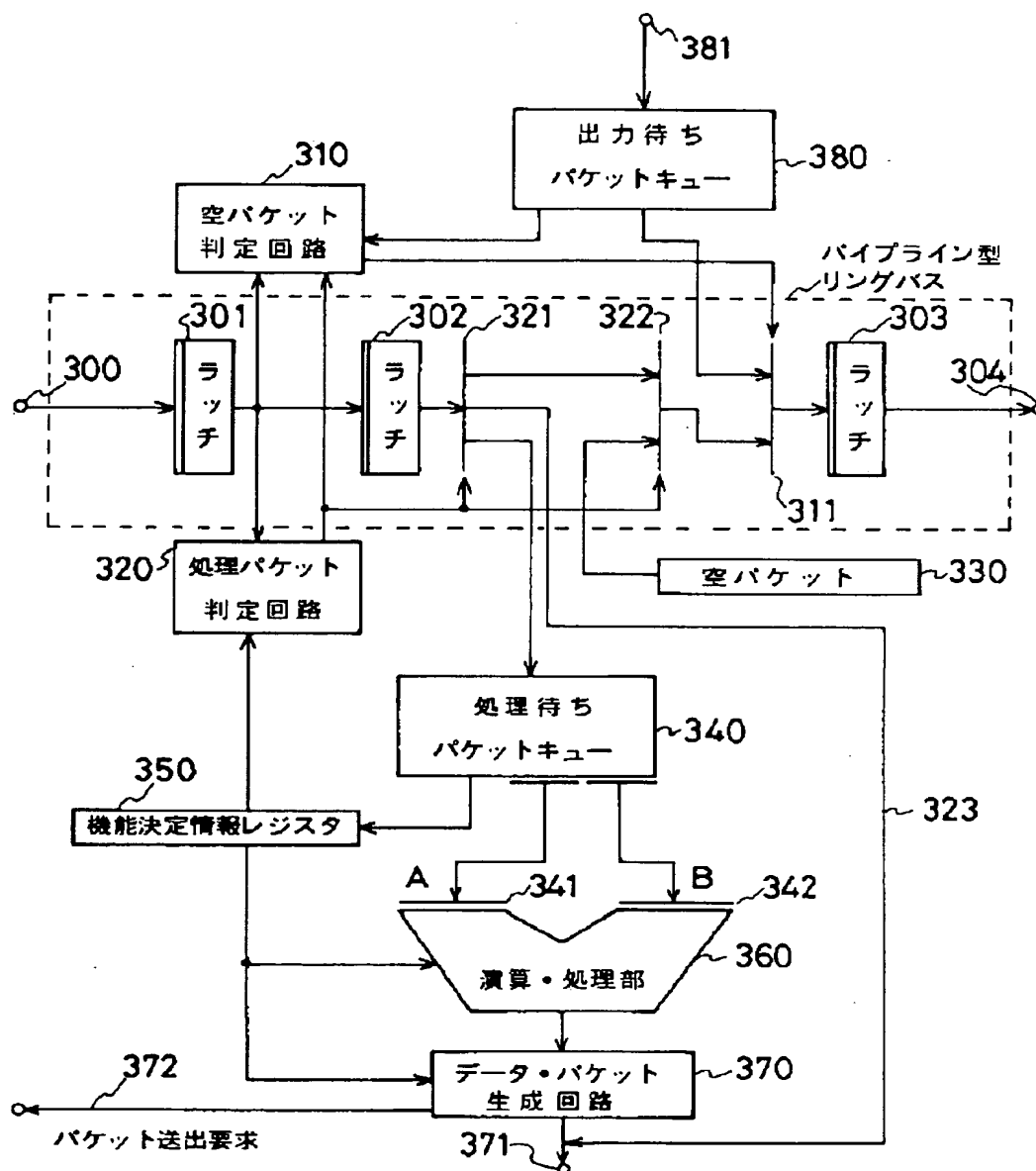
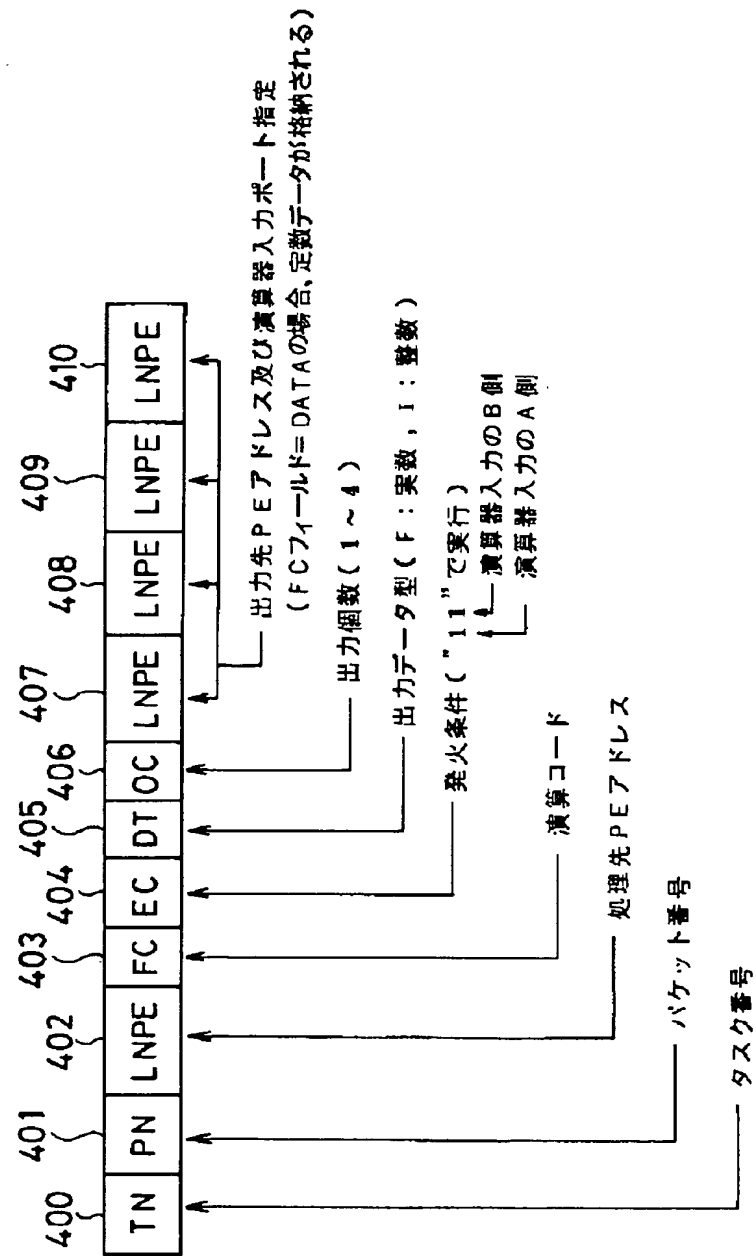


図3 単位処理要素(PE)の一実施例



【 図 4 】

図 4 P E プログラムバケット形式の一例



【図 6】

図 6 PE 動作説明用プログラム例

```

INTEGER      I
REAL         A(100), B(100), C(100), S
S=3.5
Do 10 I=1, 100
    D(I)= A(I) * B(I) * S + C(I)
10 CONTINUE

```

(a) FORTRAN プログラム

	TN	PN	LNPE	FC	EC	DT	OC	LNPE	LNPE	LNPE	LNPE
501 ~	01	01	12	*	00	F	1	23A	-	-	-
502 ~	01	02	23	*	10	F	1	34A	-	-	-
503 ~	01	03	23	DATA	10	-	-		S	-	-
504 ~	01	04	34	+	00	F	1	11A	-	-	-
505 ~	01	05	11	OUT	10	F	1	-	-	-	-

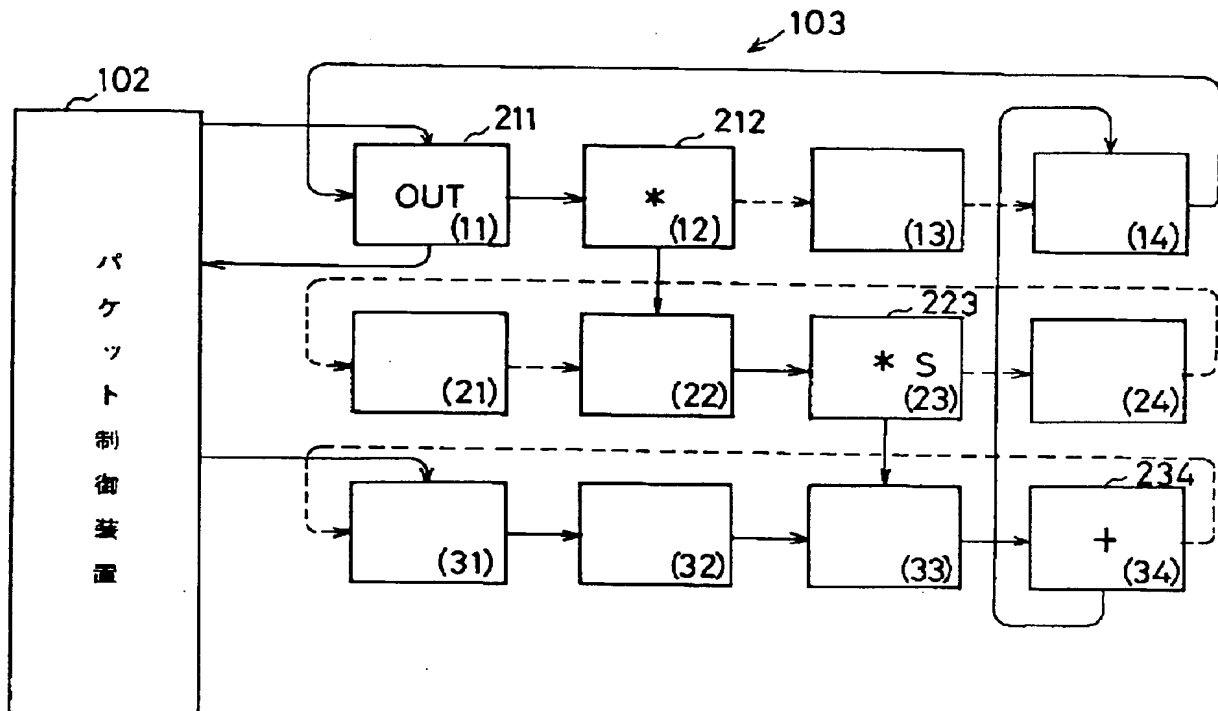
(b) PE プログラム・パッケージ

	TN	PN	LNPE	CC	DT	DN	RT
510 ~	01	06	12A	0	F	01	A(1)
511 ~	01	07	12B	0	F	02	B(1)
512 ~	01	08	34B	0	F	03	C(1)
	01	09	12A	0	F	04	A(2)
	01	10	12B	0	F	05	B(2)
	01	11	34B	0	F	06	C(2)
	01	303	12A	0	F	298	A(100)
	01	304	12B	0	F	299	B(100)
	01	305	34B	0	F	300	C(100)
513 ~	01	00	-	-	-	-	-

(c) PE データ・パッケージ

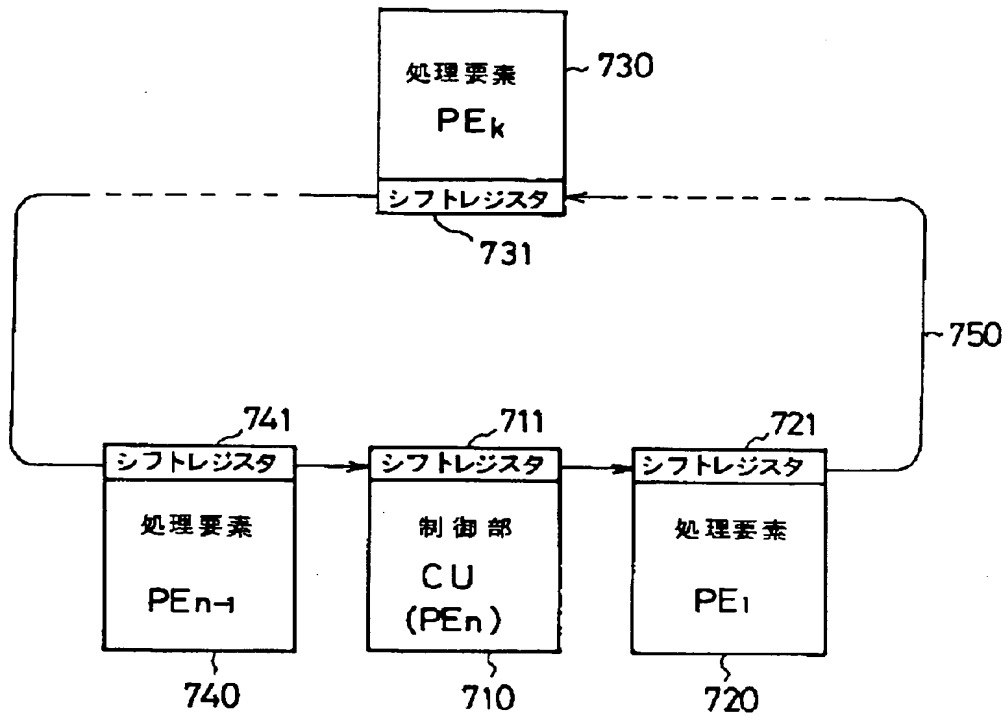
【 図 7 】

図 7 P E 動作説明用プログラム・マッピング例



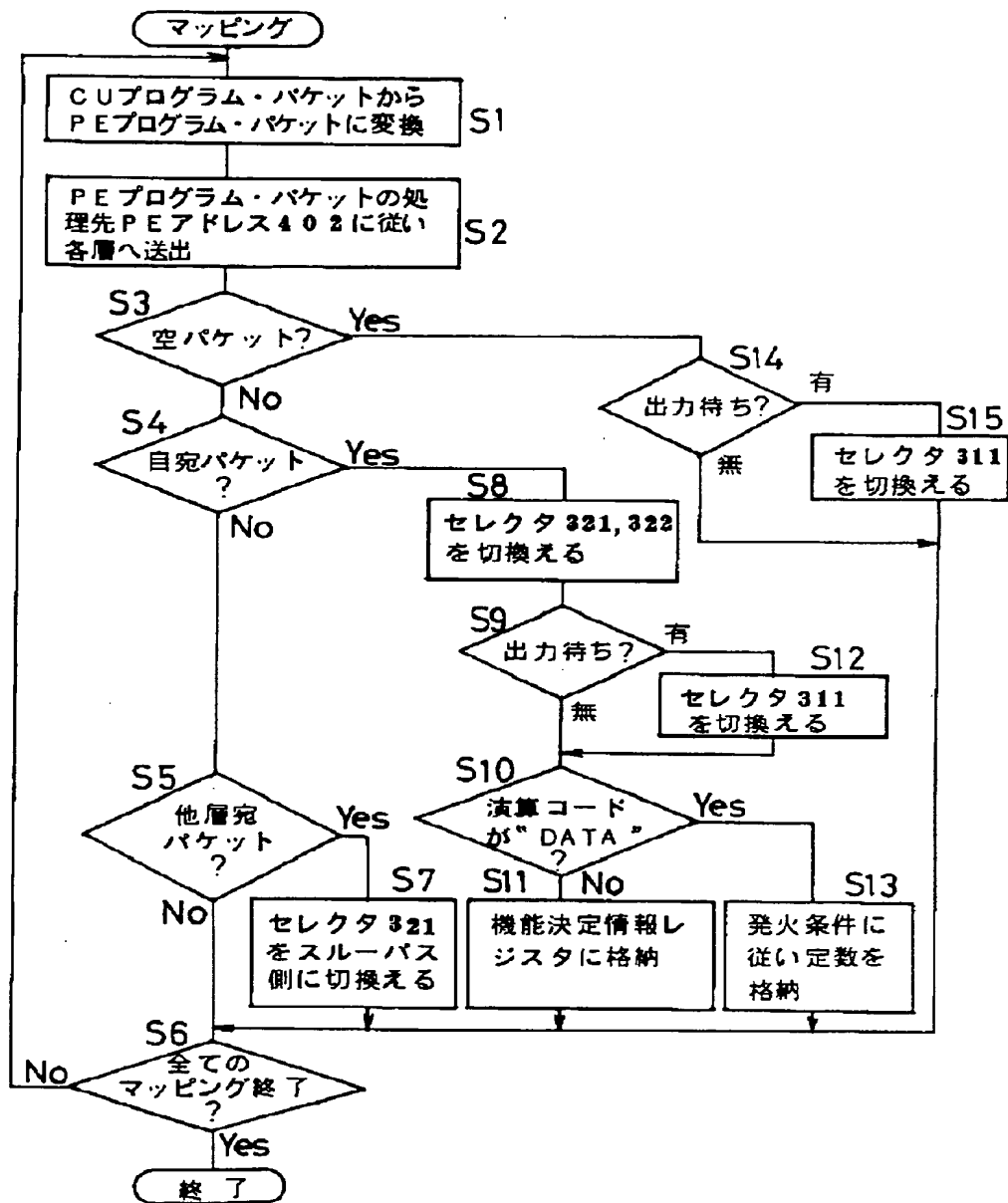
【図 8】

図 8 従来の高速バケット処理装置の構成



【図 9】

図 9



10

